

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

1. TITLE OF THE INVENTION

Drive Circuit

2. SCOPE OF CLAIM

1. A drive circuit including at least one bipolar transistor, characterized in that in at least one of the bipolar transistors, a source of supply of a base current is provided separately from a source of supply of a collector current.

2. The drive circuit as claimed in Claim 1, characterized in that the potential of the source of supply of the collector current is set to a value higher than the potential of the source of supply of the base current.

3. DETAILED DESCRIPTION OF THE INVENTION

(Field of the Invention)

The present invention relates to a drive circuit made up of a bipolar transistor, which is particularly suitable to assuredly avoid saturation of the bipolar transistor to thereby enable an off level to be suitably and accurately set.

(Conventional Art)

As an example of the drive circuit made up of a bipolar transistor, such a circuit as disclosed in the Japanese Laid-open Patent Publication No. 59-8431 and shown in Fig. 2 is available. In this circuit, when an input terminal is held at a low potential, a base current flows from a power source V to a bipolar transistor  $Q_{2A}$  through a p-channel MIS transistor  $M_{2A}$  to switch  $Q_{2A}$  on with an output terminal O consequently brought to a high level state. Also, when the input terminal I is held at a high potential, an n-channel MIS transistor  $M_{2C}$  is switched on to allow the base current to flow towards a bipolar transistor  $M_{2B}$  to switch  $Q_{2B}$  on with the output terminal O consequently brought to a low level state. In this circuit, a collector of the bipolar transistor  $Q_{2A}$  and a source of the p-channel MIS transistor  $M_{2A}$  are connected with each other. Because of this, when  $Q_{2A}$  is switched on, the base potential of  $Q_{2A}$  boosts from a low potential approximately equal to 0 V to a potential equal to the power source V. On the other hand, the collector potential of  $Q_{2A}$  when the collector current starts flowing decreased

by a quantity, equal to the product of the parasitic collector resistance in  $Q_{2A}$  or the parasitic resistance of an external collector wiring (both of which are not shown for simplicity purpose) times the collector current, down to a value lower than the potential of the power source  $V$ . Accordingly, when the collector resistance of  $Q_{2A}$  is high, the base potential of  $Q_{2A}$  is higher than the collector potential and this is likely to result in a so-called saturated condition. As is well known, once the bipolar transistor is in the saturated condition, a large amount of minority carriers are accumulated in the base, causing the bipolar transistor to take a longer time before it is switched off. For this reason, in the foregoing operation, a problem would arise that a feedthrough current may increase at the time the input  $I$  changes from a low level to a high level. In the next place, the off level of the circuit of Fig. 2 will be discussed. In this circuit, when the input terminal  $I$  is held at a low level, the potential of the output terminal  $O$  starts increasing and increase finally to a value equal to the difference of the potential of the power source  $V$  less the forward-going voltage  $V_{BE}$  between the base and emitter of the bipolar transistor  $Q_{2A}$ . Accordingly, in order for the potential at the off level to be set, it is necessary to vary the potential of the power source  $V$ . However, since as discussed above the power source  $V$  is required to supply not only the base current of the  $Q_{2A}$ , but also the collector current thereof, a large current driving capacity is required and it has been difficult for the value thereof to be arbitrarily and precisely set.

(Problems to be Solved by the Invention)

As hereinabove discussed, in the conventional circuit, there is a risk that the bipolar transistor may be saturated and, also, it has been difficult to set the off level value as desired.

In view of the problems inherent in the above discussed conventional art, an object of the present invention is to provide a drive circuit effective to assuredly avoid saturation of the bipolar transistor and to enable the off level value to be arbitrarily and precisely set.

(Means for Solving the Problem)

The foregoing object can be accomplished by providing a source of supply of a base current separately from a source of supply of a collector current.

(Function)

As such, since the collector potential and the base potential can be controlled independently, it is possible to easily maintain the collector potential at a value higher

than the base potential at all times. Also, since as compared with the collector current the base current is generally low of  $1/hfe = 1/10 \sim 1/100$ , the current driving capacity required for the source of supply of the base current may suffice to be lower than that required in the conventional circuit. Accordingly, it is easy to control the base potential and the off level value can easily be arbitrarily and accurately set. Because of this, it is particularly effective, for example, when the logical amplitude of an internal circuit is desired to be low as compared with the power source supplied from outside an LSI chip.

(Embodiments)

Fig. 1 illustrates one embodiment showing a concept of the present invention. In Fig. 1, a bipolar transistor  $Q_{1A}$  is used for charging an output terminal O; reference character  $C_1$  represents a circuit for controlling a base current of  $Q_{1A}$ ; and reference character  $C_2$  represents a circuit for discharging the output terminal O. Also, reference numerals  $I_1$  and  $I_2$  represent respective input terminals; reference character  $S_B$  represents a base current supply terminal; and reference character  $S_C$  represents a collector current supply terminal.  $C_1$  and  $C_2$  are so designed that a desired logical relationship can be established between the input terminals  $I_1$  and  $I_2$  and the potential at the output terminal O. In the illustrated embodiment, while the collector current of the bipolar transistor  $Q_{1A}$  is supplied from the terminal  $S_C$ , the base current is supplied from the terminal  $S_B$ . Since the base current of the bipolar transistor is  $1/hfe = 1/10 \sim 1/100$  of the collector current, the current supplied from the terminal  $S_B$  when in the above described circuit the output terminal O is to be charged, is about  $1/(hfe + 1) \approx 1/hfe$  of the total charging current flowing to the output terminal O. Accordingly, for a source of supply of the base current that is connected with the terminal  $S_B$ , the supply source having a low driving capacity can be used. The off level value in the illustrated embodiment is a value that is equal to the potential at the base B of the bipolar transistor  $Q_{1A}$  less the forward-going voltage  $V_{BE}$  between the base and emitter of  $Q_{1A}$ . Accordingly, in order to secure a desired off level, it is necessary to design the circuit  $C_1$  and the base current supply source so that when the output terminal O is charged, the potential at the base B can be higher than the desired off level by a quantity corresponding to  $V_{BE}$ , but since as discussed above the driving capacity required by the base current supply source is low, the value of the off level can be arbitrarily and precisely set. By way of example, it can easily be set by an output from a voltage limiting circuit provided inside a chip such as disclosed in the Japanese Patent Applications No. 56-57143 and No. 56-168698.

or the Japanese Laid-open Patent Publication No. 59-111514. Also, in order to prevent the bipolar transistor  $Q_{1A}$  from being saturated, it is necessary for the potential at the terminal SC to be higher than that at the base B, but since in the illustrated embodiment the potential at the terminal SC can be designed independently of the setting of the off level, it is possible to assuredly avoid saturation of the bipolar transistor  $Q_{1A}$ . Thus, according to the illustrated embodiment, the value of the off level can be accurately set as desired while saturation of the bipolar transistor is assuredly prevented and, therefore, the high speed property of the bipolar transistor can be effectively utilized. It is to be noted that although in Fig. 1 the circuits  $C_1$  and  $C_2$  are shown as having respective single input terminals, each circuit may have a plurality of input terminals or the both may have a common input terminal, should the necessity arise. Also, it is needless to say that various modifications can be conceivable such as, for example, a ground terminal G being connected to an output rather than being grounded. It is also to be noted that although in Fig. 1 neither the base current supply source nor the collector current supply source is specifically shown, they may be an electric power source capable of applying a predetermined potential or pulses depending on the purpose. These supply source may be provided inside an LSI chip including the circuit of the illustrated embodiment or may be provided externally thereof. By way of example,  $S_C$  may be connected with an electric power source (for example, 5 V) that is supplied from outside of the LSI chip and  $C_B$  may be connected with a circuit within a chip capable of generating a voltage (for example, 4 V) that is lower than that of the above described external power source. As a means for reducing this voltage, the circuit disclosed in the previously mentioned Japanese Patent Application No. 56-57143 or others may be employed.

In this way, control of the off level can easily be accomplished without causing any saturation of the bipolar transistor  $Q_{1A}$ .

Fig. 3 illustrates a first embodiment of the base current control circuit  $C_1$  shown in Fig. 1. In Fig. 3, a CMOS inverter circuit is made up of a p-channel MIS transistor  $M_{3A}$  and an n-channel MIS transistor  $M_{3B}$ . In other words, when the potential at the input terminal  $I_1$  is at a low level, the p-channel MIS transistor  $M_{3A}$  is switched on and the n-channel MIS transistor  $M_{3B}$  is switched off, with an electric current consequently flowing from the terminal  $S_B$  to the base B. When the potential at the input terminal  $I_1$  is at a high level,  $M_{3A}$  is switched off and  $M_{3B}$  is switched on and, accordingly, the base current is interrupted with the potential at the base B being 0 V. According to this

embodiment, since the current flows from the terminal  $S_B$  only when the input terminal  $I_1$  is held at the low level, it is possible to minimize the electric power consumption. Also, since the p-channel MIS transistor  $M_{3A}$  and the n-channel MIS transistor  $M_{3B}$  are used to control the base current, they may be of a small size and the input capacity as viewed relative to the input terminal  $I_1$  can be minimized.

While the embodiment shown in Fig. 3 is a circuit in which the base current flows when the input terminal  $I_1$  is held at the low level, a circuit can be easily designed in which the base current flows when the input terminal  $I_1$  is held at a high level. One embodiment therefor is shown in Fig. 4. In Fig. 4,  $C_1$  is made up of four MIS transistors and, of them, p-channel and n-channel MIS transistors  $M_{4B}$  and  $M_{4C}$  altogether constitute the CMOS inverter and are used for transmitting the potential applied to the input terminal  $I_1$  to the gate  $G_{4D}$  of a MIS transistor  $M_{4D}$  after such potential has been inverted. When the potential at the input terminal  $I_1$  is held at a high level, the n-channel MIS transistors  $M_{4A}$  and  $M_{4C}$  are switched on. Since at this time the gate  $G_{4D}$  of the n-channel MIS transistor  $M_{4D}$  is held at 0 V, the n-channel MIS transistor  $M_{4D}$  is switched off. Accordingly, the current flows from the terminal  $S_B$  towards the base B. On the other hand, when the potential at the input terminal  $I_1$  is held at a low level, the n-channel MIS transistors  $M_{4A}$  and  $M_{4C}$  are switched off and the p-channel MIS transistor  $M_{4B}$  is switched on. As a result, the potential at  $G_{4D}$  increases to a value equal to the potential at the terminal  $S_4$  with the n-channel MIS transistor  $M_{4D}$  consequently switched off. Accordingly, the base current is interrupted and the potential at the base B is held at 0 V. As described above, according to the embodiment shown in Fig. 4, only when the input terminal  $I_1$  is held at the high level, the base current can flow. It is to be noted that design is desirable in which the potential at the terminal  $S_4$  is held at a value lower than the high level of  $I_1$  and, when  $I_1$  is at a high level, the p-channel MIS transistor  $M_{4D}$  can be switched off. In this embodiment, it is also possible to determine the potential at the base B in reference to the potential at the input terminal  $I_1$  when the input terminal  $I_1$  is held at the high level. In other words, assuming that the threshold voltage of the n-channel MIS transistor  $M_{4A}$  is expressed by  $V_{T4A}$ , the potential when  $I_1$  is at the high level is expressed by  $V_{IH}$  and the potential at the terminal  $S_B$  is expressed by  $V_{SB}$ , the potential at the base B increases to  $V_{SB}$  when  $V_{IH} \geq V_{SB} + V_{T4A}$ , but when  $V_{IH} < V_{SB} + V_{T4A}$ , the potential at the base B will be  $V_{IH} - V_{T4A}$ . Accordingly, at this time the potential at the output terminal O

shown in Fig. 1 will be  $V_{IIB} - V_{T4A} - V_{BE}$  and the off level can be determined by  $V_{IIB}$  as well.

Fig. 5 illustrates an embodiment in which  $C_1$  is made up of an MIS transistor and a bipolar transistor. As is the case with the embodiment shown in Fig. 3, this embodiment is a circuit in which when the input terminal  $I_1$  is at a low level, the current flows towards the base B, but when it is at a high level the base current is interrupted. The difference between it and Fig. 3 is such that when the p-channel MIS transistor  $M_{3A}$  in Fig. 3 is replaced with a p-channel MIS transistor  $M_{5A}$ , an n-channel MIS transistor  $M_{5B}$  and a bipolar transistor  $Q_{5A}$ . According to this embodiment, since the bipolar transistor  $Q_{5A}$  and  $Q_{1A}$  shown in Fig. 1 are connected to form a Darlington circuit, an extremely high speed operation can be expected. It is to be noted that the off level in this embodiment is equal to the potential at a terminal  $S_{B1}$  less the forward-going base-emitter voltage of the bipolar transistors  $Q_{5A}$  and  $Q_{1A}$ . Since the current flowing from  $S_{B1}$  is about  $1/(hfe)^2$  of the current flowing to the output terminal O shown in Fig. 1, the driving capacity of the supply source for supplying an electric current to  $S_{B1}$  may be extremely low. In this embodiment, the potential at the terminal  $S_{B2}$  has to be maintained at a potential with which the bipolar transistor  $Q_{5A}$  will not saturate.

While in the foregoing the embodiments of  $C_1$  shown in Fig. 1 have been described, an embodiment of  $C_2$  will now be described. Fig. 6 illustrates an example in which  $C_2$  is constructed of a single n-channel MIS transistor  $M_{6A}$ . When an input  $I_2$  is at a low level,  $M_{6A}$  is switched off, but when at a high level, it is switched on. If it is at the high level when the bipolar transistor  $Q_{1A}$  is switched on, no excessive current will flow from a terminal  $8_c$  towards the ground. By way of example, when for  $C_1$  the embodiment shown in Fig. 3 or Fig. 5 is employed, signals of the same phase have to be inputted to  $I_1$  and  $I_2$  and at such time  $I_1$  and  $I_2$  may be connected together. If for  $G$  the embodiment of Fig. 4 is employed, signal of opposite phases have to be inputted to  $I_1$  and  $I_2$ . According to the embodiment of Fig. 6, when the input terminal  $I_2$  is held at the high level, the potential at the output terminal O decreases down to 0 V and, even thereafter, the n-channel MIS transistor  $M_{6A}$  is kept on and, accordingly, it is possible to maintain the output terminal O at a low impedance.

Fig. 7 illustrates an embodiment in which  $C_2$  is constructed to include a bipolar transistor. In Fig. 7, the gate  $G_7$  of an n-channel MIS transistor  $M_{7B}$  is connected with the base B of the bipolar transistor  $Q_{1A}$  of Fig. 1 or the output terminal. In this embodiment, when the input terminal  $I_2$  is held at a high level, the bipolar transistor  $M_{7A}$

is switched on and, accordingly, the potential at the output terminal O can be quickly set up. When the input terminal  $I_2$  is at a low level, the base B and the output terminal O are held at a high level and when the bipolar transistor  $Q_{1A}$  of Fig. 1 is switched on, and the base of the bipolar transistor  $Q_{7A}$  will be 0 V, when the n-channel MIS transistor  $M_{7B}$  of Fig. 7 is switched on, with  $Q_{7A}$  consequently switched off. In this embodiment, although it is not possible to render the potential at the output terminal O to be completely 0 V since  $Q_{7A}$  is switched off when the potential at the output terminal O lowers down to the forward-going base-emitter voltage of the bipolar transistor  $Q_{7A}$ , the embodiment shown in Fig. 6 has to be concurrently used where to render it to be 0 V is required.

#### (Effects of the Invention)

According to the present invention, since in the drive circuit including the bipolar transistor, the base current supply source for the bipolar transistor and the collector current supply source therefore are separated from each other, the base potential and the collector potential can be controlled independent from each other and the off level can be accurately and arbitrarily set while saturation of the bipolar transistor is avoided.

#### 4. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is an embodiment showing a concept of the present invention; Fig. 2 is the conventional drive circuit including the bipolar transistor; Figs. 3, 4 and 5 are respective embodiments of C1 shown in Fig. 1; and Figs. 6 and 7 are respective embodiments of C2 shown in Fig. 1.

$I_1, I_2$  ···· Input terminal, O ···· Output terminal, B ···· Base,  $S_B$  ···· Base current supply terminal,  $S_C$  ···· Collector current supply terminal,  $C_1$  ···· Base current control circuit,  $C_2$  ···· Collector current control circuit,  $Q_{1A}, Q_{2A}, Q_{3A}, Q_{5A}, Q_{7A}$  ···· Bipolar transistor,  $M_{2A}, M_{2B}, M_{3A}, M_{4B}, M_{5A}$  ···· n-channel MIS transistor,  $M_{2B}, M_{2C}, M_{3B}, M_{4A}, M_{4C}, M_{5B}, M_{5C}, M_{6A}, M_{7A}, M_{8A}$  ···· p-channel MIS transistor

Agent: Patent Attorney Katsuo Ogawa

Translator's Note: Because of illegible lower case characters or numerals appearing everywhere in the text, Translator cannot warrant the accuracy of some of the reference characters and numerals used in this translation.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-189816

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月19日

H 03 K 19/092  
G 11 C 11/34  
H 03 F 3/345

3 5 4

8326-5J  
D-8522-5B  
B-6628-5J

※審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 駆動回路

⑯ 特 願 昭61-30846

⑰ 出 願 昭61(1986)2月17日

⑱ 発 明 者 渡 部 隆 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内  
⑱ 発 明 者 堀 陵 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内  
⑱ 発 明 者 橋 川 五 郎 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内  
⑱ 発 明 者 川 尻 良 樹 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中  
央研究所内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 小川 勝男 外1名  
最終頁に続く

明 細 書

1. 発明の名称

駆動回路

2. 特許請求の範囲

1. バイポーラトランジスタを少なくとも1個含んだ駆動回路において、上記バイポーラトランジスタのうち少なくとも1個のバイポーラトランジスタにおいて、コレクタ電流の供給源と独立にベース電流の供給源を設けたことを特徴とする駆動回路。

2. 特許請求の範囲第1項記載の駆動回路においてコレクタ電流の供給源の電位を、ベース電流の供給源の電位以上に設定したことを特徴とする駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、バイポーラトランジスタを含んで構成した駆動回路において、特にバイポーラトランジスタの飽和を確実に防止しオフレベルを任意にかつ精度よく設定することに好適な駆動回路に関する。

する。

(従来の技術)

バイポーラトランジスタを含んで構成した駆動回路の例として、第2図に示す特開昭59-8431号公報に記載の回路がある。この回路では、入力端子が低電位となるとpチャンネルMISトランジスタ $M_{2A}$ を通して電源Vよりバイポーラトランジスタ $Q_{2A}$ にベース電流が流れて $Q_{2A}$ がオンし、出力端子Oが高レベルとなる。又、入力端子Iが高電位となると、nチャンネルMISトランジスタ $M_{2B}$ がオンしてバイポーラトランジスタ $Q_{2B}$ にベース電流が流れて $Q_{2B}$ がオンし出力端子Oは低レベルとなる。この回路では、バイポーラトランジスタ $Q_{2A}$ のコレクタと、pチャンネルMISトランジスタ $M_{2A}$ のソースが接続されている。このために $Q_{2A}$ がオンすると、 $Q_{2A}$ のベース電位は0Vに近い低電位から、電源Vの電位まで上昇する。一方、 $Q_{2A}$ のコレクタ電位はコレクタ電流が流れはじめると、 $Q_{2A}$ 内の寄生コレクタ抵抗あるいは外部コレクタ配線の寄生抵抗(いずれも簡

略化のため図示せず)とコレクタ電流の横だけ電源Vの電位より低下する。したがって、 $Q_{2A}$ のコレクタ抵抗が大きいときには $Q_{2A}$ のベース電位がコレクタ電位より高くなり、いわゆる飽和状態となる恐れがある。よく知られているようにバイポーラトランジスタが飽和状態となるとベースに多量の少数キャリアが蓄積されオフするのに時間がかかる。そのため上記動作において入力Iが低レベルから高レベルに切り換わるときに真通電流が増大するなどの問題を生じる。次に、第2図の回路のオフレベルについて考えてみる。本回路では、入力端子Iが低レベルとなると出力端子Oの電位が上昇しはじめ、最終的に出力O端子の電位は、電源Vの電位より、バイポーラトランジスタ $Q_{2A}$ のベース・エミッタ間順方向電圧 $V_{BE}$ を差し引いた値まで上昇する。したがってオフレベルの電位を設定するには、電源Vの電位を変える必要がある。しかし、上記したように電源Vは、 $Q_{2A}$ のベース電流だけでなくコレクタ電流も供給するため、大きな電流駆動能力が必要で、そ

の値を任意にかつ精度よく設定することは困難であった。

〔発明が解決しようとする問題点〕

以上のように従来の回路においては、バイポーラトランジスタが飽和する恐れがあり、また、オフレベルの値を任意に設定することが困難であった。

本発明の目的は、上記従来技術の問題点に鑑みバイポーラトランジスタが飽和することを確実に防止し、かつ、オフレベルの値を任意にかつ精度よく設定するのに好適な駆動回路を提供することにある。

〔問題点を解決するための手段〕

上記目的は、バイポーラトランジスタのコレクタ電流の供給源とは独立にベース電流の供給源を設けたことにより達成される。

〔作用〕

これにより、コレクタの電位とベースの電位を独立に制御できるため、常にコレクタの電位をベースの電位より高く保つことが容易に可能となる。

また、通常コレクタ電流に較べてベース電流は $1/hfe = 1/10 \sim 1/100$ と小さいためベース電流の供給源に要求される電流駆動能力は従来回路に較べ小さくてよい。したがってベース電位の制御が容易となり、オフレベルの値を任意にかつ精度よく設定できる。このため例えば、LSIチップ外部より供給される電源に較べて内部回路の論理振巾を小さくしたい場合等に特に有効である。

〔実施例〕

第1図は、本発明の概念を示す一実施例である。第1図においてバイポーラトランジスタ $Q_{1A}$ は、出力端子Oを充電するためのもので、 $C_1$ は上記 $Q_{1A}$ のベース電流を制御する回路、 $C_2$ は、出力端子Oを放電する回路である。また、 $I_1$ 、 $I_2$ は入力端子であり、 $S_B$ はベース電流供給端子、 $S_C$ はコレクタ電流供給端子である。 $C_1$ および $C_2$ は、後述するように入力端子 $I_1$ と $I_2$ および出力端子Oの電位が所望の論理関係となるように設計する。本実施例においては、バイポーラトランジスタ

$Q_{1A}$ のコレクタ電流は端子 $S_C$ より供給されるが、ベース電流は端子 $S_B$ より供給される。バイポーラトランジスタのベース電流は、コレクタ電流の $1/hfe = 1/10 \sim 1/100$ であるため上記回路において出力端子Oを充電する際に、端子 $S_B$ より供給する電流は、出力端子Oに流れ込む全充電電流のおよそ $1/(hfe + 1) \approx 1/hfe$ である。したがって端子 $S_B$ に接続されるベース電流の供給源には駆動能力の小さいものを使用することができる。本実施例におけるオフレベルの値は、バイポーラトランジスタ $Q_{1A}$ のベースBの電位から $Q_{1A}$ のベース・エミッタ間順方向電圧 $V_{BE}$ を差し引いた値となる。したがって所望のオフレベルを得るためには、出力端子Oの充電時に、ベースBの電位が、所望のオフレベルより $V_{BE}$ だけ高くなるように回路 $C_1$ ならびにベース電流供給源を設計する必要があるが、上述したようにベース電流供給源に要求される駆動能力は小さいためにオフレベルの値を任意にかつ精度よく設定することが容易にできる。たとえば、特願昭56-571

43、56-168698、~~特開昭57-111514~~  
~~特開昭57-111514~~  
 などに開示されているようなチップ内部に設けた電圧リミッタ回路出力により容易に設定することも可能となる。また、バイポーラトランジスタ $Q_{1A}$ を飽和させないためには端子 $S_c$ の電位をベース $B$ よりも高く保つ必要があるが、本実施例においてはオフレベルの設定とは独立に端子 $S_c$ の電位を設計できるためバイポーラトランジスタ $Q_{1A}$ が飽和することを確実に防止することができる。このように本実施例によればバイポーラトランジスタの飽和を確実に防止した上でオフレベルの値を任意に精度よく設定することができる。バイポーラトランジスタの高速性を十分に活かすことができる。なお、図1においては、回路 $C_1$ と $C_2$ の入力端子を1つずつ独立に示してあるが、必要に応じて複数としてもよいし、共通の入力端子としてもよい。また、接地端子 $G$ を接地せず出力に接続するなど種々の変形が可能なのはもちろんである。なお、第1図においてはベース電流ならびにコレクタ電流の供給源については特に図示しな

チャンネルMISトランジスタ $M_{3A}$ がオン、 $n$ チャンネルMISトランジスタ $M_{3B}$ がオフし端子 $S_B$ よりベース $B$ に電流が流れる。入力端子 $I_1$ の電位が高レベルとなると $M_{3A}$ がオフ、 $M_{3B}$ がオンしてベース電流は遮断されベース $B$ の電位は0Vとなる。本実施例によれば入力端子 $I_1$ が低レベルになったときのみ端子 $S_B$ より電流が流れるため消費電力を小さく抑えることができる。また、 $p$ チャンネルMISトランジスタ $M_{3A}$ および $n$ チャンネルMISトランジスタ $M_{3B}$ はベース電流を制御するためのものであるため小さなものでよく、入力端子 $I_1$ よりみた入力容量を小さくすることができる。

上記第3図の実施例は入力端子 $I_1$ が低レベルのときにベース電流が流れる回路であるが、入力端子 $I_1$ が高レベルのときにベース電流が流れる回路も容易に実現できる。第4図にその一実施例を示す。第4図において $C_1$ は、4つのMISトランジスタで構成されており、そのうち $p$ チャンネルMISトランジスタ $M_{4B}$ と $n$ チャンネルMIS

トランジスタ $M_{4C}$ はCMOSインバータを構成しており、入力端子 $I_1$ に加わる電位を反転してMISトランジスタ $M_{4D}$ のゲート $G_{4D}$ に伝えるためのものである。入力端子 $I_1$ の電位が高レベルとなると、 $n$ チャンネルMISトランジスタ $M_{4A}$ と $M_{4C}$ がオンする。このとき $n$ チャンネルMISトランジスタ $M_{4D}$ のゲート $G_{4D}$ は0Vとなるため $n$ チャンネルMISトランジスタ $M_{4D}$ はオフする。したがって端子 $S_B$ よりベース $B$ へ電流が流れる。一方、入力端子 $I_1$ の電位が低レベルとなると $n$ チャンネルMISトランジスタ $M_{4A}$ と $M_{4C}$ がオフし、 $p$ チャンネルMISトランジスタ $M_{4B}$ がオンする。この結果 $G_{4D}$ の電位が端子 $S_B$ の電位まで上昇し $n$ チャンネルMISトランジスタ $M_{4D}$ がオンする。したがって、ベース電流は遮断され、ベース $B$ の電位は0Vとなる。以上のように第4図の実施例によれば、入力端子 $I_1$ が高レベルになったときのみベース電流を流すことができる。なお、第4図において端子 $S_c$ の電位は、 $I_1$ の高レベル以下に保ち、 $I_1$ が高レベルのときに $p$ チ

ンネルMISトランジスタ $M_{4B}$ がオン、 $n$ チャンネルMISトランジスタ $M_{4C}$ がオフし端子 $S_B$ よりベース $B$ に電流が流れる。入力端子 $I_1$ の電位が高レベルとなると、 $n$ チャンネルMISトランジスタ $M_{4A}$ と $M_{4C}$ がオンする。このとき $n$ チャンネルMISトランジスタ $M_{4D}$ のゲート $G_{4D}$ は0Vとなるため $n$ チャンネルMISトランジスタ $M_{4D}$ はオフする。したがって端子 $S_B$ よりベース $B$ へ電流が流れる。一方、入力端子 $I_1$ の電位が低レベルとなると $n$ チャンネルMISトランジスタ $M_{4A}$ と $M_{4C}$ がオフし、 $p$ チャンネルMISトランジスタ $M_{4B}$ がオンする。この結果 $G_{4D}$ の電位が端子 $S_B$ の電位まで上昇し $n$ チャンネルMISトランジスタ $M_{4D}$ がオンする。したがって、ベース電流は遮断され、ベース $B$ の電位は0Vとなる。以上のように第4図の実施例によれば、入力端子 $I_1$ が高レベルになったときのみベース電流を流すことができる。なお、第4図において端子 $S_c$ の電位は、 $I_1$ の高レベル以下に保ち、 $I_1$ が高レベルのときに $p$ チ

チャンネルMISトランジスタ $M_{5B}$ をオフするように設計することが望ましい。本実施例においては、入力端子 $I_1$ が高レベルとなったときのベースBの電位を入力端子 $I_1$ の電位で決定することも可能である。すなわち、 $n$ チャンネルMISトランジスタ $M_{5A}$ のしきい電圧を $V_{T5A}$ とし、 $I_1$ が高レベルのときの電位を $V_{I1H}$ 、端子 $S_B$ の電位を $V_{SB}$ とすると、 $V_{I1H} \geq V_{SB} + V_{T5A}$ のときにはベースBの電位は $V_{SB}$ まで上昇するが、 $V_{I1H} < V_{SB} + V_{T5A}$ の場合には、ベースBの電位は $V_{I1H} - V_{T5A}$ となる。したがってこのとき、第1図の出力端子Oの電位は $V_{I1H} - V_{T5A} - V_{DS}$ となり、オフレベルを $V_{I1H}$ で決定することも可能である。

第5図は、第1図における $C_1$ をMISトランジスタとバイポーラトランジスタとで構成した一実施例である。本実施例は、第3図の実施例と同様に、入力端子 $I_1$ が低レベルのときにベースBへ電流を流し、高レベルのときにベース電流を遮断する回路である。第3図との相違点は、第3図の $p$ チャンネルMISトランジスタ $M_{3A}$ を、 $p$ チ

るときには高レベルとすれば、端子 $S_C$ よりアースへ過大な電流が流れることはない。例えば、 $C_1$ として第3図もしくは第5図の実施例を用いるときには、 $I_1$ と $I_2$ に同相の信号を入力すればよく、そのときは $I_1$ と $I_2$ を接続することもできる。又として第4図の実施例を用いる場合には、 $I_1$ と $I_2$ に逆相の信号を入力すればよい。第6図の実施例によれば、入力端子 $I_2$ が高レベルとなると出力端子Oの電位は0Vまで下がり、その後も $n$ チャンネルMISトランジスタ $M_{6A}$ がオンしたままのため、出力端子Oを低インピーダンス状態に保つことができる。

第7図は、 $C_2$ を、バイポーラトランジスタを含んで構成した実施例である。第7図において $n$ チャンネルMISトランジスタ $M_{7B}$ のゲートG<sub>7</sub>は、第1図のバイポーラトランジスタ $Q_{1A}$ のベースBあるいは出力端子に接続する。本実施例では入力端子 $I_2$ が高レベルとなるとバイポーラトランジスタ $Q_{7A}$ がオンして出力端子Oの電位を高速に立ち下げることができる。入力端子 $I_2$ が低レ

ベルのとき、第1図のバイポーラトランジスタ $Q_{1A}$ がオンするとベースBおよび出力端子Oが高レベルとなり、第7図の $n$ チャンネルMISトランジスタ $M_{7B}$ がオンしてバイポーラトランジスタ $Q_{7A}$ のベースが0Vとなり $Q_{7A}$ はオフする。本実施例では、出力端子Oの電位が、バイポーラトランジスタ $Q_{7A}$ の順方向ベース、エミッタ電圧まで下がると $Q_{7A}$ がオフし、出力端子Oの電位を完全に0Vにすることができないが、0Vにすることが必要な場合には、第6図の実施例と並用すればよい。

以上、第1図の $C_1$ に対する実施例を述べてきたが、次に $C_2$ に対する実施例につき説明する。第6図は、 $C_2$ を1個の $n$ チャンネルMISトランジスタ $M_{6A}$ で構成した例である。入力 $I_2$ が低レベルのときは $M_{6A}$ はオフし、高レベルのときにオンする。バイポーラトランジスタ $Q_{1A}$ がオンす

べるとき、第1図のバイポーラトランジスタ $Q_{1A}$ がオンするとベースBおよび出力端子Oが高レベルとなり、第7図の $n$ チャンネルMISトランジスタ $M_{7B}$ がオンしてバイポーラトランジスタ $Q_{7A}$ のベースが0Vとなり $Q_{7A}$ はオフする。本実施例では、出力端子Oの電位が、バイポーラトランジスタ $Q_{7A}$ の順方向ベース、エミッタ電圧まで下がると $Q_{7A}$ がオフし、出力端子Oの電位を完全に0Vにすることができないが、0Vにすることが必要な場合には、第6図の実施例と並用すればよい。

#### 〔発明の効果〕

本発明によれば、バイポーラトランジスタを含んで構成される駆動回路において、バイポーラトランジスタのベース電流の供給源と、コレクタ電流の供給源とを分離したため、ベース電位とコレクタ電位を独立に制御でき、バイポーラトランジスタの飽和を防止した上で、オフレベルを任意に精度よく設定できる。

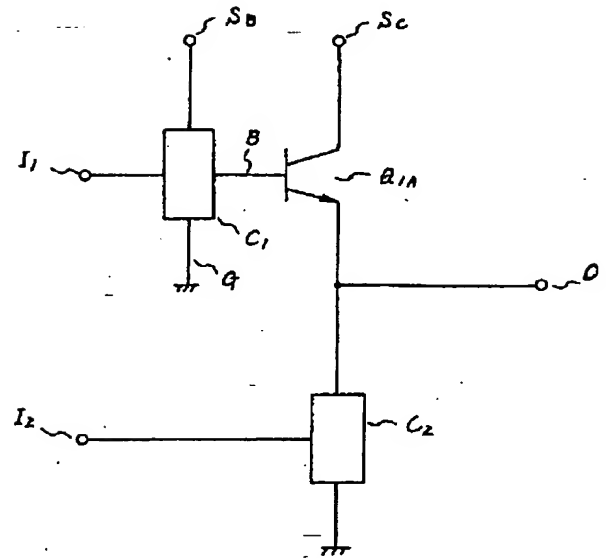
#### 4. 図面の簡単な説明

第1図は本発明の概念を示す一実施例、第2図はバイポーラトランジスタを含む従来の駆動回路、第3図、第4図、第5図は、第1図の $C_1$ の実施例、第6図、第7図は第1図の $C_2$ の実施例である。

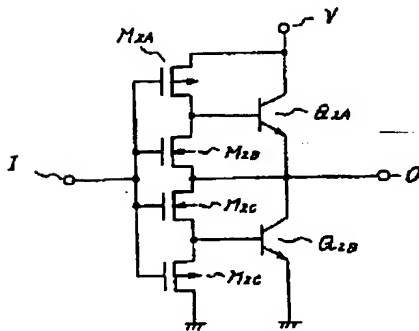
$I_1, I_2$  ……入力端子、 $O$  ……出力端子、 $B$  ……ベース、 $S_B$  ……ベース電流供給端子、 $S_C$  ……コレクタ電流供給端子、 $C_1$  ……ベース電流制御回路、 $C_2$  ……コレクタ電流制御回路、 $Q_{1A}, Q_{2A}, Q_{2B}, Q_{5A}, Q_{7A}$  ……バイポーラトランジスタ、 $M_{2A}, M_{2B}, M_{3A}, M_{4B}, M_{5A}$  ……nチャンネルMISトランジスタ、 $M_{2B}, M_{2C}, M_{3B}, M_{4A}, M_{4C}, M_{5B}, M_{5C}, M_{6A}, M_{7A}, M_{8A}$  ……pチャンネルMISトランジスタ。

代理人 弁理士 小川勝男

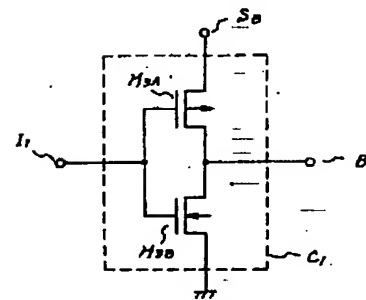
第1図



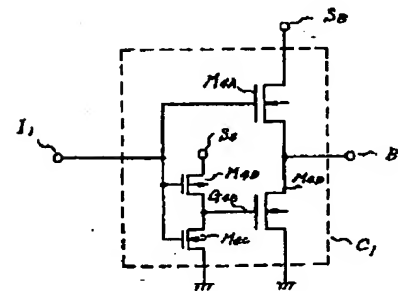
第2図



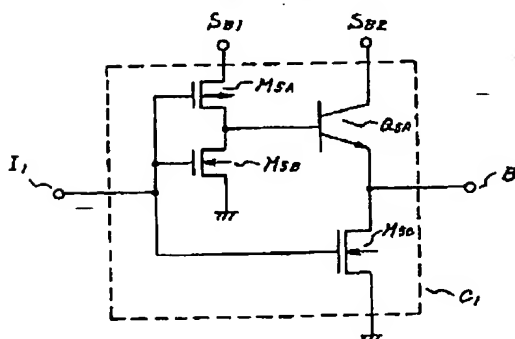
第3図



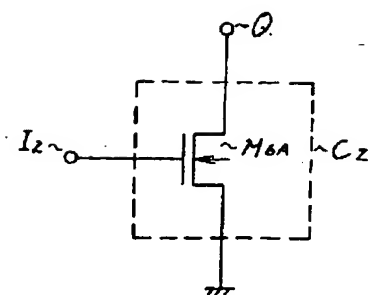
第4図



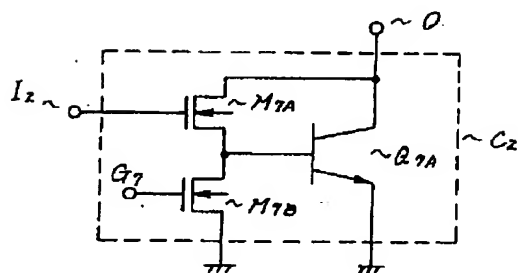
第5図



第 6 図



第 7 図



第 1 頁の続き

⑤ Int. Cl. 4

H 03 K 5/08  
17/60  
19/00  
19/08

識別記号

1 0 1

庁内整理番号

7259-5J  
Z-7190-5J  
A-8326-5J  
A-8326-5J

⑥ 発 明 者 伊 藤

清 男

国分寺市東恋ヶ窪 1 丁目 280 番地 株式会社日立製作所中  
央研究所内